

Docket No.: 67161-143

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Tsuyoshi SUGIHARA : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: February 26, 2004 : Examiner:
For: SEMICONDUCTOR DEVICE HAVING TRENCH ISOLATION

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-162602, filed June 6, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prg
Facsimile: (202) 756-8087
Date: February 26, 2004

日本国特許庁
JAPAN PATENT OFFICE

67161-143
Sugihara
February 26, '04
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 6月 6日

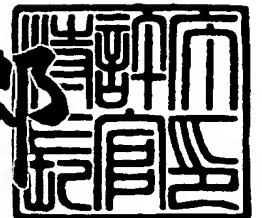
出願番号
Application Number: 特願2003-162602
[ST. 10/C]: [JP2003-162602]

出願人
Applicant(s): 株式会社ルネサステクノロジ

2003年 7月 8日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3054128

【書類名】 特許願

【整理番号】 542742JP01

【提出日】 平成15年 6月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 杉原 剛

【特許出願人】

 【識別番号】 503121103

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

 【識別番号】 100096781

 【弁理士】

 【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トレンチ分離を有する半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体素子を他の半導体素子から電氣的に分離するためのトレンチ分離を有する半導体装置であって、

主表面に前記トレンチ分離のための溝を有する半導体基板と、

前記溝内を埋込み、かつ上面全体が前記半導体基板の主表面より上方に位置する埋込み絶縁層とを備え、

前記埋込み絶縁層の前記半導体基板の主表面から突き出した部分は、前記半導体基板の主表面上において前記溝の真上領域よりも外側に張り出した張り出し部を有し、

前記張り出し部は、少なくとも 2 層の絶縁層が積層された構成を有している、トレンチ分離を有する半導体装置。

【請求項 2】 前記張り出し部は、第 1 の酸化膜と第 2 の酸化膜とが積層された構成を有していることを特徴とする、請求項 1 に記載のトレンチ分離を有する半導体装置。

【請求項 3】 前記張り出し部は、酸化膜と窒化膜とが積層された構成を有していることを特徴とする、請求項 1 に記載のトレンチ分離を有する半導体装置。

【請求項 4】 前記張り出し部の厚みは、23 nm 以上 75 nm 以下であることを特徴とする、請求項 1～3 のいずれかに記載のトレンチ分離を有する半導体装置。

【請求項 5】 フラッシュメモリを他の半導体素子から電氣的に分離するために用いることを特徴とする、請求項 1～4 のいずれかに記載のトレンチ分離を有する半導体装置。

【請求項 6】 半導体素子を他の半導体素子から電氣的に分離するためのトレンチ分離を有する半導体装置の製造方法であって、

半導体基板の主表面上に第 1 の絶縁層と第 2 の絶縁層とを積層して形成する工程と、

前記第 1 および第 2 の絶縁層を貫通して、前記半導体基板の主表面の一部を露出する孔を形成する工程と、

前記半導体基板の露出した主表面に前記トレンチ分離のための溝を形成する工程と、

前記第 2 の絶縁層をエッチングすることにより、前記孔の前記第 2 の絶縁層の部分の開口寸法を前記孔の前記第 1 の絶縁層の部分の開口寸法よりも大きくする工程と、

前記孔および前記溝を埋め込む第 3 の絶縁層を形成する工程とを備えた、トレンチ分離を有する半導体装置の製造方法。

【請求項 7】 前記第 1 の絶縁層は第 1 の酸化膜であり、前記第 2 の絶縁層は第 2 の酸化膜であることを特徴とする、請求項 6 に記載のトレンチ分離を有する半導体装置の製造方法。

【請求項 8】 前記第 1 の絶縁層は酸化膜であり、前記第 2 の絶縁層は窒化膜であることを特徴とする、請求項 6 に記載のトレンチ分離を有する半導体装置の製造方法。

【請求項 9】 前記第 1 の絶縁層と前記第 2 の絶縁層との間にバッファ層を形成する工程をさらに備え、

前記孔は前記バッファ層も貫通していることを特徴とする、請求項 6 ～ 8 のいずれかに記載のトレンチ分離を有する半導体装置の製造方法。

【請求項 10】 半導体素子を他の半導体素子から電氣的に分離するためのトレンチ分離を有する半導体装置の製造方法であって、

半導体基板の主表面に形成されたトレンチ分離のための溝内を埋込み、かつ前記半導体基板の主表面より上方に突き出した第 1 の絶縁層を形成する工程と、

前記半導体基板の主表面上に第 2 の絶縁層を形成する工程と、

前記第 1 の絶縁層上および前記第 2 の絶縁層上に第 3 の絶縁層を形成する工程と、

前記第 3 の絶縁層の全面を異方性エッチングする工程とを備えた、トレンチ分離を有する半導体装置の製造方法。

【請求項 11】 前記第 2 の絶縁層および前記第 3 の絶縁層は酸化膜であり

前記第 1 の絶縁層の上面および半導体基板の主表面が露出するまで前記第 3 の絶縁層および前記第 2 の絶縁層に前記異方性エッチングを施すことにより、前記第 1 の絶縁層の前記半導体基板の主表面より上方に突き出した部分の側壁を覆うように前記第 3 の絶縁層および前記第 2 の絶縁層を残すことを特徴とする、請求項 10 に記載のトレンチ分離を有する半導体装置の製造方法。

【請求項 12】 前記第 2 の絶縁層および前記第 3 の絶縁層は酸化膜であり

前記異方性エッチングの後に、前記第 3 の絶縁層および前記第 2 の絶縁層に等方的エッチングを施すことにより、前記第 1 の絶縁層の前記半導体基板の主表面より上方に突き出した部分の側壁を覆うように前記第 3 の絶縁層および前記第 2 の絶縁層を残すことを特徴とする、請求項 10 に記載のトレンチ分離を有する半導体装置の製造方法。

【請求項 13】 前記第 2 の絶縁層は酸化膜であり、かつ前記第 3 の絶縁層は窒化膜であり、

前記第 1 の絶縁層の上面および半導体基板の主表面が露出するまで前記第 3 の絶縁層および前記第 2 の絶縁層に前記異方性エッチングを施すことにより、前記第 1 の絶縁層の前記半導体基板の主表面より上方に突き出した部分の側壁を覆うように前記第 3 の絶縁層および前記第 2 の絶縁層を残すことを特徴とする、請求項 10 に記載のトレンチ分離を有する半導体装置の製造方法。

【請求項 14】 前記第 2 の絶縁層は酸化膜であり、かつ前記第 3 の絶縁層は窒化膜であり、

前記第 1 の絶縁層の上面および前記第 2 の絶縁層の上面が露出するまで前記第 3 の絶縁層に前記異方性エッチングを施すことにより、前記第 1 の絶縁層の前記半導体基板の主表面より上方に突き出した部分の側壁を覆うように前記第 3 の絶縁層を残し、

前記半導体基板の主表面が露出するまで前記第 2 の絶縁層に等方性エッチングを施すことにより、残された前記第 3 の絶縁層の真下部分の前記第 2 の絶縁層を残すことを特徴とする、請求項 10 に記載のトレンチ分離を有する半導体装置の

製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、トレンチ分離を有する半導体装置およびその製造方法に関し、より特定のには、半導体素子を他の半導体素子から電気的に分離するためのトレンチ分離を有する半導体装置およびその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

近年、半導体装置におけるパターンの微細化に伴い、電界効果トランジスタなどの半導体素子を他の半導体素子から電気的に分離するための素子分離構造として、S T I (Shallow Trench Isolation) と呼ばれる構造が一般に用いられるようになった。このS T Iについては、たとえば特開 2 0 0 2 - 1 0 0 6 7 1 号公報、特開 2 0 0 2 - 9 3 9 0 0 号公報、特開平 1 1 - 6 7 8 9 2 号公報などに開示されている。

【0 0 0 3】

このS T Iは、たとえば以下のような工程により形成される。

まず、半導体基板上に熱酸化膜とシリコン窒化膜とが形成され、シリコン窒化膜上にレジストパターンが形成される。このレジストパターンをマスクとして、シリコン窒化膜と熱酸化膜とに異方性エッチングが施され、レジストパターンのパターンがシリコン窒化膜と熱酸化膜とに転写される。この後、レジストパターンが除去される。

【0 0 0 4】

シリコン窒化膜をマスクとして半導体基板に異方性エッチングを施すことにより、半導体基板の表面に溝が形成される。この後、熱酸化を行なうことにより溝の内表面に熱酸化膜が形成される。この溝内を埋め込むように、かつシリコン窒化膜上を覆うように酸化膜が形成され、この酸化膜がC M P (Chemical Mechanical Polishing) 法によりシリコン窒化膜の上面が露出するまで研磨除去される。この後、シリコン窒化膜と熱酸化膜とが除去される。これにより、半導体基板

の表面の溝内が酸化膜で埋め込まれた S T I が形成される。

【0005】

【特許文献1】

特開 2002-100671 号公報

【0006】

【特許文献2】

特開 2002-93900 号公報

【0007】

【特許文献3】

特開平 11-67892 号公報

【0008】

【発明が解決しようとする課題】

近年においては、パターンの微細化に伴って活性層幅も狭くなっているため、トランジスタにおける逆狭チャネル効果の影響も無視できなくなっている。また、フラッシュメモリにおいてはゲート絶縁層を電子が通過するため、信頼性の高いゲート絶縁層が要求されている。

【0009】

しかしながら、上記の S T I の形成方法では、熱酸化膜のエッチング除去時に、溝内を埋め込む酸化膜もある程度エッチング除去される。これにより、溝内を埋め込む酸化膜と溝との間に酸化膜の落ち込み部が生じる。このような落ち込み部上にゲート絶縁層を介在してゲート電極が延在するように形成されると、逆狭チャネル効果が生じたり、ゲート絶縁層の信頼性の劣化が生じ、高性能なトランジスタやフラッシュメモリを製造することが困難となる。

【0010】

それゆえ本発明の目的は、逆狭チャネル効果を抑制でき、かつ信頼性の高いゲート絶縁層を得ることのできるトレンチ分離を有する半導体装置およびその製造方法を提供することである。

【0011】

【課題を解決するための手段】

本発明のトレンチ分離を有する半導体装置は、半導体素子を他の半導体素子から電氣的に分離するためのトレンチ分離を有する半導体装置であって、半導体基板と、埋込み絶縁層とを備えている。半導体基板は、主表面にトレンチ分離のための溝を有している。埋込み絶縁層は、溝内を埋込み、かつ上面全体が半導体基板の主表面より上方に位置している。埋込み絶縁層の半導体基板の主表面から突き出した部分は、半導体基板の主表面上において溝の真上領域よりも外側に張り出した張り出し部を有している。張り出し部は、少なくとも2層の絶縁層が積層された構成を有している。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【0013】

(実施の形態1)

図1は、本発明の実施の形態1におけるトレンチ分離を有する半導体装置の構成を概略的に示す断面図である。図1を参照して、本実施の形態の半導体装置は、半導体素子を他の半導体素子から電氣的に分離するためのトレンチ分離を有している。そのトレンチ分離は、たとえばシリコンよりなる半導体基板1の表面に形成されたトレンチ分離のための溝2と、その溝2内を埋め込む埋込み絶縁層3とを有している。その埋込み絶縁層3は、溝2内を埋め込むとともに、半導体基板1の表面から突き出している。その突き出した部分は、半導体基板1の表面上において溝2の真上領域よりも外側（半導体基板の表面に平行な方向）に張り出した張り出し部を有している。この張り出し部は少なくとも2層の絶縁層が積層された構成を有している。なお、埋込み絶縁層3の上面全体は半導体基板1の表面より上方に位置している。

【0014】

具体的には、埋込み絶縁層3は、絶縁層3a、3b、3cを有している。絶縁層3bは、絶縁層3b₁と絶縁層3b₂とを有している。絶縁層3b₁は、溝2の内表面（側面および底面）に沿って形成されている。絶縁層3aは、溝2内を埋め込むとともに、半導体基板1の表面上に突き出すように形成されている。この絶

絶縁層 3 a の上面はほぼ平坦な面となっている。絶縁層 3 b₂ と絶縁層 3 c とは、絶縁層 3 a の突き出し部分の側壁を覆うように形成されており、上記張り出し部を構成している。絶縁層 3 b₂ は半導体基板 1 の表面に接しており、絶縁層 3 c は絶縁層 3 b₂ 上に形成されている。

【0015】

本実施の形態では、埋込み絶縁層 3 が半導体基板 1 の表面上において溝 2 の真上領域よりも外側に張り出した張り出し部を有しているため、埋込み絶縁層 3 と溝 2 との間で、埋込み絶縁層 3 の落ち込みが生じることは防止される。よって、この落ち込みが生じることによる逆狭チャネル効果の発生やゲート絶縁層の信頼性の劣化を防止することができる。

【0016】

また、張り出し部が少なくとも 2 層の絶縁層 3 b₂、3 c が積層された構成を有しているため、この 2 層 3 b₂、3 c を異なる材料もしくは同じ材料とすることができる。この 2 層 3 b₂、3 c を異なる材料とした場合には、2 層 3 b₂、3 c のうち上層の絶縁層 3 c を下層の絶縁層 3 b₂ の除去時に除去され難い材質とすることができる。それにより、その下層の絶縁層 3 b₂ の除去時において、埋込み絶縁層 3 と溝 2 との間に埋込み絶縁層 3 の落ち込み部が生じにくくなり、上記除去時における落ち込み発生のマージンを大きく確保することができる。また、この 2 層 3 b₂、3 c を同じ材料とした場合には、埋込み絶縁層 3 全体を単一の材料から構成することもでき、埋込み絶縁層 3 の各部の熱膨張を均一化することができる。このため、埋込み絶縁層 3 の各部の熱膨張の違いによるストレスが発生し難い。

【0017】

また、絶縁層 3 a の上面全体がほぼ平坦な面となっているため、その上に形成されるたとえば MOS トランジスタのゲート電極のパターニングが容易となる。

【0018】

(実施の形態 2)

本実施の形態の半導体装置は、図 1 を参照して、張り出し部を構成する絶縁層 3 b₂ と絶縁層 3 c とがともに異なるシリコン酸化膜よりなっている。絶縁層 3

b₂は、熱酸化法により形成されたシリコン酸化膜（以下、熱酸化膜と称する）よりなっている。また、絶縁層 3 c は、熱酸化法とは異なる方法で形成されたシリコン酸化膜よりなっており、たとえば HDP（High Density Plasma）により形成されたシリコン酸化膜（以下、HDP 酸化膜と称する）、TEOS（Tetra Ethyl Ortho Silicate）により形成されたシリコン酸化膜（以下、TEOS 酸化膜と称する）などよりなっている。このため、絶縁層 3 b と絶縁層 3 c とは互いに異なる膜質を有している。

【0019】

また、絶縁層 3 a はたとえば HDP 酸化膜などよりなっており、絶縁層 3 b₁ はたとえば熱酸化膜よりなっている。

【0020】

また、絶縁層 3 a と絶縁層 3 c とは別の層から形成されていても良いが、同一の層から形成されていても良い。また、絶縁層 3 b₁ と絶縁層 3 b₂ とは別の層から形成されていても良いが、同一の層から形成されていても良い。

【0021】

なお、本実施の形態におけるこれ以外の構成については上述した実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0022】

本実施の形態によれば、絶縁層 3 b₂ と絶縁層 3 c とがともにシリコン酸化膜よりなっているため、埋込み絶縁層 3 全体をシリコン酸化膜で形成することが可能となる。埋込み絶縁層 3 の各部において材質が異なる場合には、各材質の熱膨張の違いなどによるストレスが生じる。しかし、本実施の形態では、埋込み絶縁層 3 全体をシリコン酸化膜で形成できるため、このような熱膨張の違いなどによるストレスの影響が生じない。

【0023】

また、半導体基板 1 の表面に直接形成された絶縁層 3 b₂ が熱酸化膜であり、この熱酸化膜は CVD（Chemical Vapor Deposition）法等で形成された酸化膜よりも不純物が少ないため、半導体基板に形成される半導体素子の特性に悪影響

を与え難い。

【0024】

(実施の形態3)

図2は、本発明の実施の形態3におけるトレンチ分離を有する半導体装置の構成を概略的に示す断面図である。図2を参照して、本実施の形態の構成は、埋込み絶縁層3の張り出し部を構成する絶縁層3b₂と絶縁層3dとが互いに異なる材質よりなっている点において実施の形態2の構成と異なる。絶縁層3b₂は熱酸化膜よりなっており、絶縁層3dはシリコン窒化膜よりなっている。

【0025】

また、絶縁層3aはシリコン酸化膜よりなっているため、絶縁層3aと絶縁層3dとは互いに異なる材質よりなっている。

【0026】

なお、本実施の形態におけるこれ以外の構成については上述した実施の形態2の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0027】

本実施の形態によれば、絶縁層3dがシリコン窒化膜よりなっているため、絶縁層3b₂をHF（フッ酸）系の薬液によりウエットエッチングで除去する時に、絶縁層3dはほとんどエッチング除去されない。このため、実施の形態2よりもさらに埋込み絶縁層3と溝2との間に埋込み絶縁層3の落ち込み部が生じにくくなり、上記エッチング時における落ち込み発生のマージンを大きく確保することができる。

【0028】

また、半導体基板1の表面に直接形成された絶縁層3b₂が熱酸化膜であり、この熱酸化膜はCVD法等で形成された酸化膜よりも不純物が少ないため、半導体基板に形成される半導体素子の特性に悪影響を与え難い。

【0029】

(実施の形態4)

本実施の形態は、実施の形態2の製造方法に関する。

【0030】

図3～図11は、本発明の実施の形態4におけるトレンチ分離を有する半導体装置の製造方法を工程順に示す概略断面図である。図3を参照して、半導体基板1の表面上に、熱酸化膜3b₂とシリコン窒化膜22とが順に積層して形成される。このシリコン窒化膜22上にフォトリソが塗布された後、このフォトリソが通常の写真製版技術によりパターンニングされてレジストパターン23とされる。

【0031】

図4を参照して、レジストパターン23をマスクとしてシリコン窒化膜22と熱酸化膜3b₂とに異方性エッチングが施される。これにより、レジストパターン23のパターンがシリコン窒化膜22と熱酸化膜3b₂とに転写されて、半導体基板1の一部表面を露出する孔30が形成される。この後、レジストパターン23が、たとえばアッシングなどにより除去される。

【0032】

図5を参照して、上記のレジストパターン23の除去により、シリコン窒化膜22の上面が露出する。

【0033】

図6を参照して、シリコン窒化膜22をマスクとして、半導体基板1に異方性エッチングが施される。これにより、半導体基板1の表面にトレンチ分離用の溝2が形成される。

【0034】

図7を参照して、上記溝2の形成直後に、熱リン酸などのシリコン窒化膜を溶解する薬液により、シリコン窒化膜22がウエットエッチングされる。これにより、シリコン窒化膜22の膜厚が減るとともに、孔30のシリコン窒化膜22部分の開口寸法D1が、孔30の熱酸化膜3b₂部分の開口寸法D21よりも大きくなる。

【0035】

図8を参照して、熱酸化法により溝2の内表面が酸化され、溝2の内表面に沿って熱酸化膜3b₁が形成される。この溝2の内表面に沿う熱酸化膜3b₁と半導

体基板 1 の上面に形成された熱酸化膜 3 b₂ とにより酸化膜 3 b が構成される。

【0036】

図 9 を参照して、溝 2 および孔 3 0 を埋め込むように、かつシリコン窒化膜 2 2 上を覆うように、たとえば HDP 酸化膜よりなるシリコン酸化膜 3 a が形成される。

【0037】

図 1 0 を参照して、シリコン窒化膜 2 2 の上面が露出するまで、シリコン酸化膜 3 a が CMP 法により研磨除去される。これにより、溝 2 および孔 3 0 内にシリコン酸化膜 3 a が残存されるとともに、シリコン窒化膜 2 2 とシリコン酸化膜 3 a との上面が平坦化される。この後、活性領域上のシリコン窒化膜 2 2 と熱酸化膜 3 b とが除去される。

【0038】

図 1 1 を参照して、上記のシリコン窒化膜 2 2 と熱酸化膜 3 b との除去により、熱酸化膜 3 b とシリコン酸化膜 3 a とから埋込み絶縁層 3 が形成され、本実施の形態のトレンチ分離が完成する。

【0039】

なお、本実施の形態の埋込み絶縁層 3 のシリコン酸化膜 3 a は、図 1 に示す示す埋込み絶縁層 3 の絶縁層 3 a と絶縁層 3 c とが一体で形成されたものである。

【0040】

本実施の形態によれば、図 1 0 に示す工程で予めシリコン酸化膜 3 a は溝 2 の真上領域から外側（図中横方向）にかなり張り出すように形成される。このため、図 1 1 に示す工程で熱酸化膜 3 b の除去時にシリコン酸化膜 3 a が幾分エッチング除去されても、シリコン酸化膜 3 a の張り出し部は残る。よって、シリコン酸化膜 3 a の張り出し部がなくなるほど横方向にエッチング除去されることは防止できるため、埋込み絶縁層 3 と溝 2 との間において埋込み絶縁層 3 の落ち込み部が生じることも防止できる。したがって、この落ち込みが生じることによる逆狭チャネル効果の発生やゲート絶縁層の信頼性の劣化を防止することができる。

【0041】

また本実施の形態によれば、従来の製造工程に対して図 8 に示すシリコン窒化

膜 22 のウェットエッチングの工程が追加されるだけであり、工程数の増加を抑えることもできる。

【0042】

(実施の形態 5)

本実施の形態は、実施の形態 2 の製造方法に関する。

【0043】

図 12 は、本発明の実施の形態 5 におけるトレンチ分離を有する半導体装置の製造方法を示す概略断面図である。本実施の形態の製造方法は、まず図 3～図 6 に示す実施の形態 4 と同様の工程を経る。この後、図 12 を参照して、熱酸化法により溝 2 の内表面が酸化され、溝 2 の内表面に沿って熱酸化膜 3 b₁ が形成される。溝 2 の内表面に沿う熱酸化膜 3 b₁ と半導体基板 1 の上面に形成された熱酸化膜 3 b₂ とにより酸化膜 3 b が構成される。

【0044】

図 8 を参照して、上記の熱酸化膜 3 b₁ の形成直後に、熱リン酸などのシリコン窒化膜を溶解する薬液により、シリコン窒化膜 22 がウェットエッチングされる。これにより、シリコン窒化膜 22 の膜厚が減ずるとともに、孔 30 のシリコン窒化膜 22 部分の開口寸法 D1 が、孔 30 の酸化膜 3 b 部分の開口寸法 D2 よりも大きくなる。

【0045】

この後、本実施の形態の製造方法が図 9～図 11 に示す実施の形態 4 と同様の工程を経ることにより、本実施の形態のトレンチ分離が完成する。

【0046】

本実施の形態によれば、実施の形態 4 と同様の効果を得ることができる。さらに、図 7～図 8 の工程において溝 2 の内表面を酸化膜 3 b₁ が覆っている状態でシリコン窒化膜 22 のウェットエッチングが行われることになるため、そのエッチングの薬液が半導体基板 1 の表面に直接触れることを防止することができる。

【0047】

(実施の形態 6)

本実施の形態は、実施の形態 2 の製造方法に関する。

【0048】

図13～図15は、本発明の実施の形態6におけるトレンチ分離を有する半導体装置の製造方法を工程順に示す概略断面図である。図13を参照して、本実施の形態の製造方法は、実施の形態4の製造方法と比較して、熱酸化膜3b₂とシリコン窒化膜22との間にシリコンを含む膜25が形成される点において主に異なる。このシリコンを含む膜25として、たとえば多結晶シリコン膜が形成される。熱酸化膜3b₂と多結晶シリコン膜25とシリコン窒化膜22とが成膜された後、実施の形態4と同様にして、孔30と、溝2とが形成される。

【0049】

図14を参照して、実施の形態4と同様、熱リン酸などのシリコン窒化膜を溶解する薬液により、シリコン窒化膜22がウエットエッチングされる。これにより、シリコン窒化膜22の膜厚が減ずるとともに、孔30のシリコン窒化膜22部分の開口寸法D1が、孔30の多結晶シリコン膜25および熱酸化膜3b₂部分の開口寸法D23よりも大きくなる。

【0050】

図15を参照して、熱酸化法により溝2の内表面と多結晶シリコン膜25の一部とが酸化される。これにより、溝2の内表面に沿う熱酸化膜3b₁と、多結晶シリコン膜25の一部が酸化された熱酸化膜3b₃とが形成される。これらの熱酸化膜3b₁と3b₂と3b₃とにより酸化膜3bが構成される。

【0051】

この後、本実施の形態の製造方法が図9～図11に示す実施の形態4と同様の工程を経ることにより、本実施の形態のトレンチ分離が完成する。

【0052】

本実施の形態によれば、実施の形態4と同様の効果を得ることができる。さらに、バッファ層としてシリコンを含む層25が形成される。このため、このシリコンを含む層25の相状態、不純物濃度等を変えることによって、熱酸化時におけるシリコンを含む層25の酸化のされ方を制御し易くなり、埋込み絶縁層3と溝2との間における埋込み絶縁層3の落ち込み部の発生防止がさらに容易となる。

【0053】

(実施の形態7)

本実施の形態は、実施の形態2の製造方法に関する。

【0054】

図16は、本発明の実施の形態7におけるトレンチ分離を有する半導体装置の製造方法を示す概略断面図である。本実施の形態の製造方法は、実施の形態5の製造方法と比較して、熱酸化膜3b₂とシリコン窒化膜22との間にシリコンを含む膜25が形成される点において主に異なる。

【0055】

本実施の形態の製造方法は、まず図13に示す実施の形態6と同様の工程を経る。この後、図16を参照して、熱酸化法により溝2の内表面と多結晶シリコン膜25の一部とが酸化される。これにより、溝2の内表面に沿う熱酸化膜3b₁と、多結晶シリコン膜25の一部が酸化された熱酸化膜3b₃とが形成される。これらの熱酸化膜3b₁と3b₂と3b₃とにより酸化膜3bが構成される。

【0056】

図15を参照して、上記の熱酸化膜3b₁、3b₁の形成直後に、熱リン酸などのシリコン窒化膜を溶解する薬液により、シリコン窒化膜22がウエットエッチングされる。これにより、シリコン窒化膜22の膜厚が減ずるとともに、孔30のシリコン窒化膜22部分の開口寸法D₁が、孔30の酸化膜3b部分の開口寸法D₂₄よりも大きくなる。

【0057】

この後、本実施の形態の製造方法が図9～図11に示す実施の形態4と同様の工程を経ることにより、本実施の形態のトレンチ分離が完成する。

【0058】

本実施の形態によれば、実施の形態5と同様の効果を得ることができる。さらに、バッファ層としてシリコンを含む層25が形成される。このため、このシリコンを含む層25の相状態、不純物濃度等を変えることによって、熱酸化時におけるシリコンを含む層25の酸化のされ方を制御し易くなり、埋込み絶縁層3と溝2との間における埋込み絶縁層3の落ち込み部の発生防止がさらに容易となる。

【0059】

(実施の形態8)

本実施の形態は、実施の形態2の製造方法に関する。

【0060】

図17～図21は、本発明の実施の形態8におけるトレンチ分離を有する半導体装置の製造方法を工程順に示す概略断面図である。まず、本実施の形態における製造方法は、図3～図6に示す工程を経た後に図12の工程を経る。

【0061】

この後、図17を参照して、溝2および孔30を埋め込むように、かつシリコン窒化膜22上を覆うように、たとえばHDP酸化膜よりなるシリコン酸化膜3aが形成される。

【0062】

図18を参照して、シリコン窒化膜22の上面が露出するまで、シリコン酸化膜3aがCMP法により研磨除去される。これにより、溝2および孔30内にシリコン酸化膜3aが残存されるとともに、シリコン窒化膜22とシリコン酸化膜3aとの上面が平坦化される。この後、活性領域上のシリコン窒化膜22と熱酸化膜3b₂とが除去される。

【0063】

図19を参照して、上記のシリコン窒化膜22と熱酸化膜3b₂との除去により、半導体基板1の表面が一旦露出する。なお、熱酸化膜3b₁とシリコン酸化膜3aとは溝2内に残存される。この後、露出した半導体基板1の表面が熱酸化法により酸化されて熱酸化膜3b₂が形成される。

【0064】

図20を参照して、シリコン酸化膜3aと熱酸化膜3b₂とを覆うようにTEOS酸化膜3cが形成される。この後、半導体基板1の表面が露出するまで全面に異方性エッチング（エッチバック）が施される。

【0065】

図21を参照して、上記のエッチバックにより、熱酸化膜3b₂とTEOS酸

化膜 3c とは、シリコン酸化膜 3a の半導体基板 1 の表面から突き出した部分の側面にのみ残存される。これにより、シリコン酸化膜 3a と、熱酸化膜 3b₁、3b₂ と、TEOS 酸化膜 3c とからなり、かつ熱酸化膜 3b₂ と TEO S 酸化膜 3c とが張り出し部となる埋込み絶縁層 3 が形成され、本実施の形態のトレンチ分離が完成する。

【0066】

本実施の形態によれば、TEOS 酸化膜 3c を全面に形成した後にエッチバックすることにより、シリコン酸化膜 3a と溝 2 との間におけるシリコン酸化膜の落ち込み部を埋め込むとともに、埋込み絶縁層 3 の張り出し部を形成することができる。このため、この落ち込み部が生じることによる逆狭チャネル効果の発生やゲート絶縁層の信頼性の劣化を防止することができる。

【0067】

(実施の形態 9)

本実施の形態は、実施の形態 2 の製造方法に関するものである。

【0068】

図 22 および図 23 は、本発明の実施の形態 9 におけるトレンチ分離を有する半導体装置の製造方法を工程順に示す概略断面図である。本実施の形態の製造方法は、図 20 に示すまでの工程は実施の形態 8 と同様の工程を経る。この後、半導体基板 1 の表面が露出しない程度の異方性エッチング（エッチバック）が TEO S 酸化膜 3c の全面に施される。

【0069】

図 22 を参照して、上記のエッチバックにより、半導体基板 1 の表面上に熱酸化膜 3b₂ と TEO S 酸化膜 3c の一部とが残存される。この後、半導体基板 1 の表面が露出するまでシリコン酸化膜のウェットエッチングが行なわれる。

【0070】

図 23 を参照して、上記のウェットエッチングにより、熱酸化膜 3b₂ と TEO S 酸化膜 3c とは、シリコン酸化膜 3a の半導体基板 1 の表面から突き出した部分の側面にのみ残存される。これにより、シリコン酸化膜 3a と、熱酸化膜 3b₁、3b₂ と、TEOS 酸化膜 3c とからなり、かつ熱酸化膜 3b₂ と TEO S

酸化膜 3c とが張り出し部となる埋込み絶縁層 3 が形成され、本実施の形態のトレンチ分離が完成する。

【0071】

本実施の形態によれば、実施の形態 8 と同様の効果を得ることができる。さらに、半導体基板 1 がエッチバック時のドライエッチングに曝されないため、半導体基板 1 表面のプラズマダメージを回避することができる。

【0072】

(実施の形態 10)

本実施の形態は、実施の形態 3 の製造方法に関するものである。

【0073】

図 24 および図 25 は、本発明の実施の形態 10 におけるトレンチ分離を有する半導体装置の製造方法を工程順に示す概略断面図である。本実施の形態の製造方法は、図 19 に示すまでの工程は実施の形態 8 と同様の工程を経る。この後、図 24 を参照して、シリコン酸化膜 3a と熱酸化膜 3b₂ とを覆うようにシリコン窒化膜 3d が形成される。この後、半導体基板 1 の表面が露出するまでシリコン窒化膜 3d の全面に異方性エッチング（エッチバック）が施される。

【0074】

図 25 を参照して、上記のエッチバックにより、熱酸化膜 3b₂ とシリコン窒化膜 3d とは、シリコン酸化膜 3a の半導体基板 1 の表面から突き出した部分の側面にのみ残存される。これにより、シリコン酸化膜 3a と、熱酸化膜 3b₁、3b₂ と、シリコン窒化膜 3d とからなり、かつ熱酸化膜 3b₂ とシリコン窒化膜 3d とが張り出し部となる埋込み絶縁層 3 が形成され、本実施の形態のトレンチ分離が完成する。

【0075】

本実施の形態によれば、シリコン窒化膜 3d を全面に形成した後にエッチバックすることにより、シリコン酸化膜 3a と溝 2 との間におけるシリコン酸化膜の落ち込み部を埋め込むとともに、埋込み絶縁層 3 の張り出し部を形成することができる。このため、この落ち込み部が生じることによる逆狭チャネル効果の発生やゲート絶縁層の信頼性の劣化を防止することができる。

【0076】

また、半導体基板 1 の表面に直接形成された絶縁層 3 b₂が熱酸化膜であり、この熱酸化膜は CVD 法等で形成された酸化膜よりも不純物が少ないため、半導体基板に形成される半導体素子の特性に悪影響を与え難い。

【0077】

(実施の形態 11)

本実施の形態は、実施の形態 3 の製造方法に関するものである。

【0078】

図 26 および図 27 は、本発明の実施の形態 11 におけるトレンチ分離を有する半導体装置の製造方法を工程順に示す概略断面図である。本実施の形態の製造方法は、図 24 に示すまでの工程は実施の形態 10 と同様の工程を経る。この後、熱酸化膜 3 b₂の表面が露出するまでシリコン窒化膜 3 d の全面に異方性エッチング（エッチバック）が施される。

【0079】

図 26 を参照して、上記のエッチバックにより、シリコン窒化膜 3 d は、シリコン酸化膜 3 a の半導体基板 1 の表面から突き出した部分の側面にのみ残存される。この後、半導体基板 1 の表面が露出するまで HF（フッ酸）系の薬液によるシリコン酸化膜のウエットエッチングが行なわれる。

【0080】

図 27 を参照して、上記のウエットエッチングにより、熱酸化膜 3 b₂は、シリコン窒化膜 3 d の下であって、シリコン酸化膜 3 a の半導体基板 1 の表面から突き出した部分の側面にのみ残存される。これにより、シリコン酸化膜 3 a と、熱酸化膜 3 b₁、3 b₂と、シリコン窒化膜 3 d とからなり、かつ熱酸化膜 3 b₂とシリコン窒化膜 3 d とが張り出し部となる埋込み絶縁層 3 が形成され、本実施の形態のトレンチ分離が完成する。

【0081】

本実施の形態によれば、実施の形態 10 と同様の効果を得ることができる。さらに、半導体基板 1 がエッチバック時のドライエッチングに曝されないため、半導体基板 1 表面のプラズマダメージを回避することができる。

【0082】

また、シリコン窒化膜は、熱酸化膜 3b₁のHF（フッ酸）系の薬液によるウエットエッチング除去時にほとんどエッチング除去されない。このため、実施の形態 10 よりもさらに埋込み絶縁層 3 と溝 2 との間に埋込み絶縁層 3 の落ち込み部が生じにくくなり、上記エッチング時における落ち込み発生のマージンを大きく確保することができる。

【0083】

なお、実施の形態 1～11における各トレンチ分離は、半導体素子を他の半導体素子から電氣的に分離するために用いられる。以下、図 1 に示す実施の形態 1 のトレンチ分離がたとえば MOS トランジスタを他の素子から電氣的に分離する構成について説明する。

【0084】

図 28 は、図 1 に示す実施の形態 1 のトレンチ分離が MOS トランジスタを他の素子から電氣的に分離する構成を示す概略平面図である。また、図 29 および図 30 のそれぞれは、図 28 の XX I X - XX I X 線に沿う概略断面図および XX - XX X 線に沿う概略断面図の各々である。

【0085】

図 28～図 30 を参照して、半導体基板 1 の表面に形成された溝 2 とその溝 2 内を埋め込む埋込み絶縁層 3 とからなるトレンチ分離が活性領域を取囲むように形成されており。この活性領域に MOS トランジスタ 10 が形成されている。

【0086】

MOS トランジスタ 10 は、1 対のソース／ドレイン領域 11 と、ゲート酸化膜 12 と、ゲート電極 13 とを有している。1 対のソース／ドレイン領域 11 は活性領域の表面に互いに距離を隔てて形成されている。この 1 対のソース／ドレイン領域 11 に挟まれる領域上にゲート酸化膜 12 を介してゲート電極 13 が形成されている。

【0087】

ゲート電極 13 は、たとえば活性領域を横切るように 1 方向に延びており、この場合には埋込み絶縁層 3 の張り出し部 3b、3c 上に延在している。また、図

示していないが、MOSトランジスタ10上を覆うように層間絶縁層が形成された場合には、この層間絶縁層は埋込み絶縁層3の張り出し部3b、3c上にも形成される。つまり、埋込み絶縁層3の張り出し部3b、3c上には上層の導電層や絶縁層が形成されることになる。

【0088】

このようにトレンチ分離によりMOSトランジスタ10の形成領域を取囲むことによりMOSトランジスタ10を他の半導体素子から電氣的に分離することができる。

【0089】

次に、図1に示す実施の形態1のトレンチ分離がたとえばフラッシュメモリを他の素子から電氣的に分離する構成について説明する。

【0090】

図31は、図1に示す実施の形態1のトレンチ分離がフラッシュメモリを他の素子から電氣的に分離する構成を示す概略平面図である。また、図32は、図31のXXXII-XXXII線に沿う概略断面図である。

【0091】

図31および図32を参照して、半導体基板1の表面に形成された溝2とその溝2内を埋め込む埋込み絶縁層3とからなるトレンチ分離が活性領域を取囲むように形成されており、この活性領域にフラッシュメモリ50が形成されている。

【0092】

フラッシュメモリ50は、1対のソース／ドレイン領域51と、ゲート絶縁膜52と、フローティングゲート電極53と、コントロールゲート電極54とを有している。なお、フローティングゲート電極53とコントロールゲート電極54との間にはフローティングゲート電極53とコントロールゲート電極54とを絶縁するための絶縁膜が形成されているが、説明の便宜上、この絶縁膜の図示は省略している。

【0093】

1対のソース／ドレイン領域51は活性領域の表面に互いに距離を隔てて形成されている。この1対のソース／ドレイン領域51に挟まれる領域上にゲート絶

縁膜 52 を介してフローティングゲート電極 53 が形成されている。フローティングゲート電極 53 上に絶縁膜（図示せず）を介在してコントロールゲート電極 54 が延びている。

【0094】

コントロールゲート電極 54 は、たとえば活性領域を横切るように 1 方向に延びており、この場合には埋込み絶縁層 3 の張り出し部上に延在している。また、図示していないが、フラッシュメモリ 50 上を覆うように層間絶縁層が形成された場合には、この層間絶縁層は埋込み絶縁層 3 の張り出し部上にも形成される。つまり、埋込み絶縁層 3 の張り出し部上には上層の導電層や絶縁層が形成されることになる。

【0095】

このようにトレンチ分離によりフラッシュメモリ 50 の形成領域を取囲むことによりフラッシュメモリ 50 を他の半導体素子から電氣的に分離することができる。

【0096】

上記のようにフラッシュメモリ 50 を本実施の形態のトレンチ分離により他の素子から電氣的に分離した場合、埋込み絶縁層 3 の張り出し部の存在により、活性領域の幅 $W2$ よりもゲート絶縁膜の幅 $W1$ を小さくすることができる。これにより、半導体基板 1 の表面に対向するゲート絶縁膜 52 の面積を減少させることができる。このため、カップリング容量が増加し（フローティングゲート電極 53 と半導体基板 1 との間の相対的電位差が増加し）、ゲート絶縁膜 52 を介したトンネル現象によるフラッシュメモリ 50 のデータの消去や書き込み効率を向上させることができる。

【0097】

なお、上記においては MOS トランジスタおよびフラッシュメモリについて説明したが、これに限られず、他の半導体素子の電氣的分離にも本発明は適用可能である。

【0098】

次に、実施の形態 1 ～ 11 における各トレンチ分離の各部の寸法について説明

する。

【0099】

図33は、実施の形態1～11における各トレンチ分離の各部の寸法を示す断面図である。なお、図33では、寸法を明確に表すため、ハッチングを省略している。

【0100】

図33を参照して、溝2内における絶縁層3aの幅aは、たとえば $0.10\mu\text{m}$ 以上 $0.30\mu\text{m}$ 以下であり、埋込み限界で律速する。また、埋込み絶縁層3の張り出し部の張り出し寸法bは、たとえば 20nm 以上 50nm 以下であり、張り出し部形成後のトータルのエッチング量に決定される。また、張り出し部における絶縁層3cの膜厚cは、たとえば 20nm 以上 50nm 以下であり、張り出し部形成後のトータルのエッチング量に決定される。また、張り出し部における絶縁層3bの膜厚dは、たとえば 3nm 以上 15nm 以下であり、この膜厚dについては酸化膜で覆うことが目的であるためエッチングの選択性により必要な厚みが異なる。

【0101】

なお、膜厚c+膜厚d（つまり張り出し部の全体の厚み）は、たとえば 23nm 以上 75nm 以下であることが好ましい。膜厚c+膜厚dが 23nm 未満では製造ばらつきにより半導体基板1上に絶縁層3cが形成されない場合があり、膜厚c+膜厚dが 5nm を越えると半導体基板1と埋込み絶縁層3との段差が大きくなり埋込み絶縁層3上に形成されるゲート電極のパターニングが困難になる。

【0102】

また、絶縁層3aの半導体基板1上に突き出した部分の側壁面と半導体基板1の表面とのなす角度eは、たとえば 120° 以下であれば良く、望ましくは 90° 以下である。この絶縁層3aの側壁面と半導体基板1の表面とは、CVDで薄膜を絶縁層3aの側壁面に形成できないような極端な逆テーパ形状にならないければ良い。

【0103】

上記の各寸法は1つの好ましい例であって、本発明を特に限定するものではない。

い。

【0104】

上記の実施の形態 1 ～ 11 においては、埋込み絶縁層 3 の張り出し部を構成する 2 層がシリコン酸化膜またはシリコン窒化膜からなる場合について説明したが、これ以外の材質からなってもよい。また、張り出し部は 2 層に限定されず、3 層以上であっても良い。また、実施の形態 4 ～ 7 において絶縁層 3a をシリコン窒化膜とすることもできる。

【0105】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0106】

【発明の効果】

本発明のトレンチ分離を有する半導体装置によれば、埋込み絶縁層が半導体基板の主表面上において溝の真上領域よりも外側に張り出した張り出し部を有しているため、埋込み絶縁層と溝との間で埋込み絶縁層の落ち込みが生じることは防止される。よって、この落ち込みが生じることによる逆狭チャネル効果の発生やゲート絶縁層の信頼性の劣化を防止することができる。

【0107】

また、張り出し部が少なくとも 2 層の絶縁層が積層された構成を有しているため、この 2 層を異なる材料もしくは同じ材料とすることができる。この 2 層を異なる材料とした場合には、2 層のうち上層の絶縁層を下層の絶縁層の除去時に除去され難い材質とすることができる。それにより、その下層の絶縁層の除去時において、埋込み絶縁層と溝との間に埋込み絶縁層の落ち込み部が生じにくくなり、上記除去時における落ち込み発生のマージンを大きく確保することができる。また、この 2 層を同じ材料とした場合には、埋込み絶縁層全体を単一の材料から構成することもでき、埋込み絶縁層の各部の熱膨張を均一化することができる。このため、埋込み絶縁層の各部の熱膨張の違いによるストレスが発生し難い。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 におけるトレンチ分離を有する半導体装置の構成を概略的に示す断面図である。

【図 2】 本発明の実施の形態 3 におけるトレンチ分離を有する半導体装置の構成を概略的に示す断面図である。

【図 3】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 4】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 5】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 6】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 7】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 5 工程を示す概略断面図である。

【図 8】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 6 工程を示す概略断面図である。

【図 9】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 7 工程を示す概略断面図である。

【図 10】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 8 工程を示す概略断面図である。

【図 11】 本発明の実施の形態 4 におけるトレンチ分離を有する半導体装置の製造方法の第 9 工程を示す概略断面図である。

【図 12】 本発明の実施の形態 5 におけるトレンチ分離を有する半導体装置の製造方法を示す概略断面図である。

【図 13】 本発明の実施の形態 6 におけるトレンチ分離を有する半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 14】 本発明の実施の形態 6 におけるトレンチ分離を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 1 5】 本発明の実施の形態 6 におけるトレンチ分離を有する半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 1 6】 本発明の実施の形態 7 におけるトレンチ分離を有する半導体装置の製造方法を示す概略断面図である。

【図 1 7】 本発明の実施の形態 8 におけるトレンチ分離を有する半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 1 8】 本発明の実施の形態 8 におけるトレンチ分離を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 1 9】 本発明の実施の形態 8 におけるトレンチ分離を有する半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 2 0】 本発明の実施の形態 8 におけるトレンチ分離を有する半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 2 1】 本発明の実施の形態 8 におけるトレンチ分離を有する半導体装置の製造方法の第 5 工程を示す概略断面図である。

【図 2 2】 本発明の実施の形態 9 におけるトレンチ分離を有する半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 2 3】 本発明の実施の形態 9 におけるトレンチ分離を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 2 4】 本発明の実施の形態 10 におけるトレンチ分離を有する半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 2 5】 本発明の実施の形態 10 におけるトレンチ分離を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 2 6】 本発明の実施の形態 11 におけるトレンチ分離を有する半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 2 7】 本発明の実施の形態 11 におけるトレンチ分離を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 2 8】 図 1 に示す実施の形態 1 のトレンチ分離が MOS トランジスタを他の素子から電氣的に分離する構成を示す概略平面図である。

【図 2 9】 図 2 8 の X X I X - X X I X 線に沿う概略断面図である。

【図 30】 図 28 の X X X - X X X 線に沿う概略断面図である。

【図 31】 図 1 に示す実施の形態 1 のトレンチ分離がフラッシュメモリを他の素子から電氣的に分離する構成を示す概略平面図である。

【図 32】 図 31 の X X X I I - X X X I I 線に沿う概略断面図である。

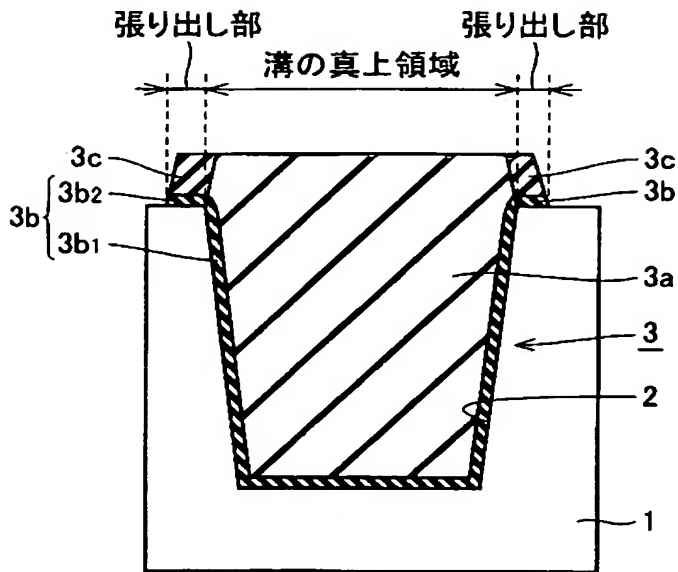
【図 33】 実施の形態 1 ~ 11 における各トレンチ分離の各部の寸法を示す断面図である。

【符号の説明】

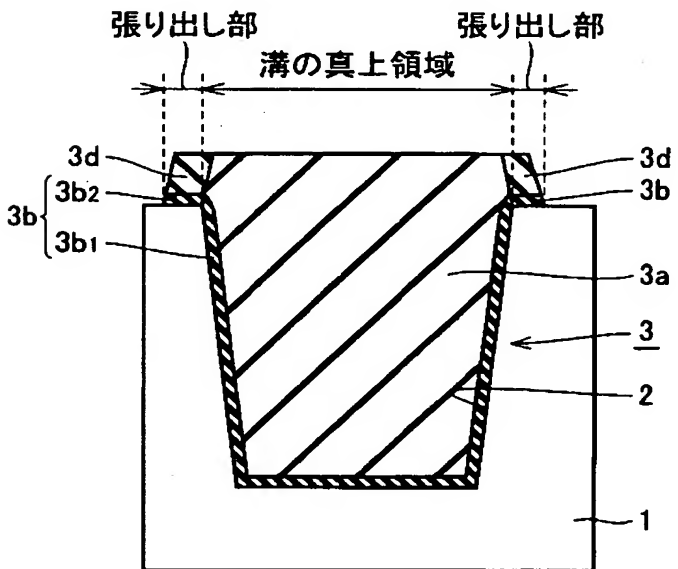
1 半導体基板、2 溝、3 埋込み絶縁層、3 a, 3 b, 3 b₁, 3 b₂, 3 c, 3 d 絶縁層、10 トランジスタ、11 ソース／ドレイン領域、12 ゲート酸化膜、13 ゲート電極、22 シリコン窒化膜、23 フォトレジスト、23 レジストパターン、25 多結晶シリコン膜、30 孔。

【書類名】 図面

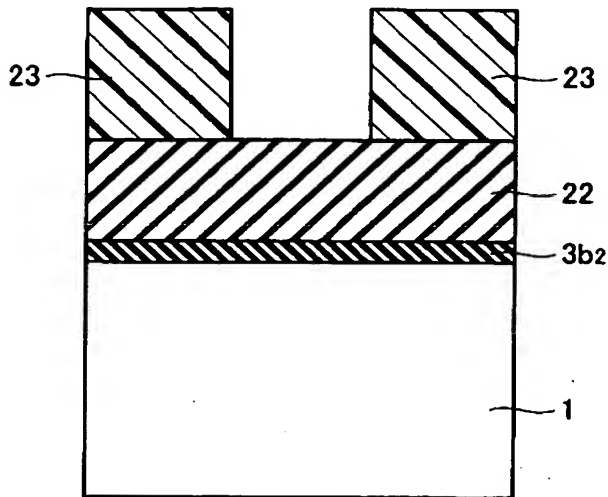
【図 1】



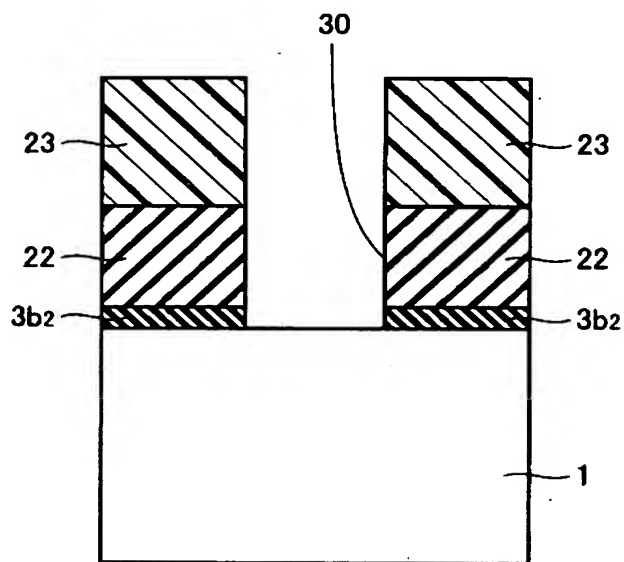
【図 2】



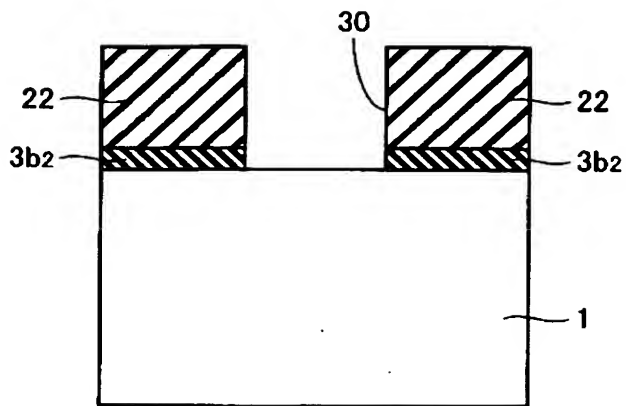
【図 3】



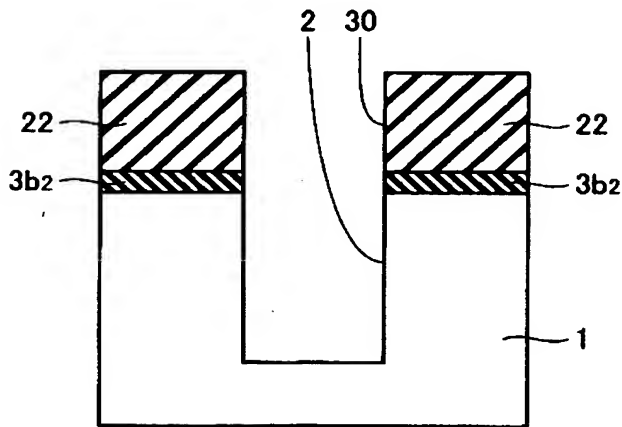
【図 4】



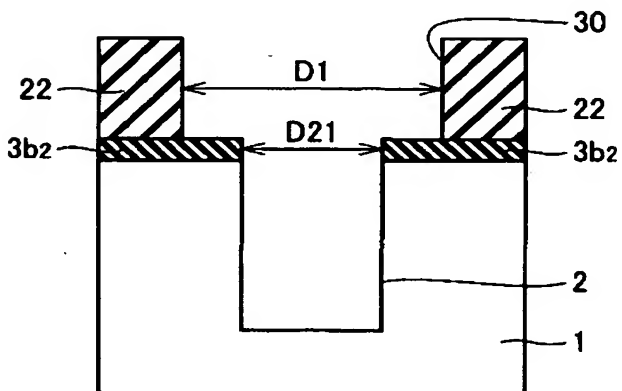
【図 5】



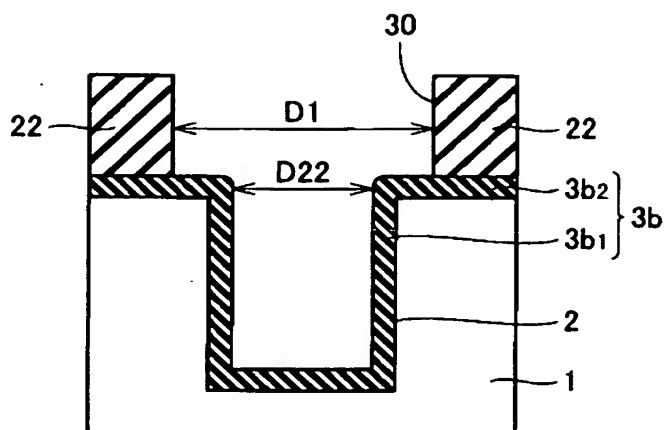
【図 6】



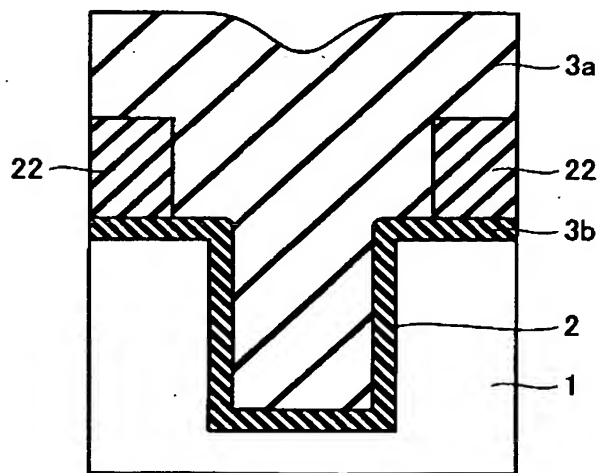
【図 7】



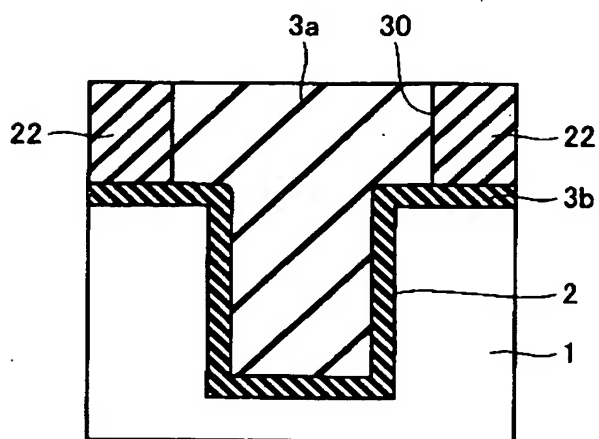
【図 8】



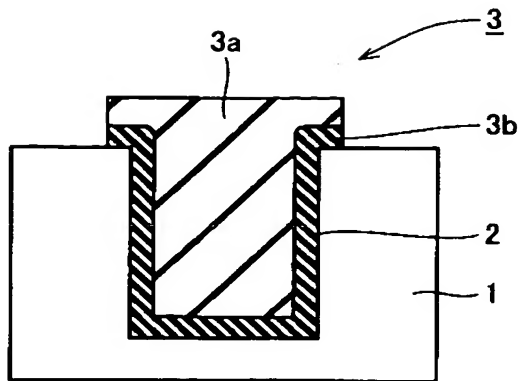
【図 9】



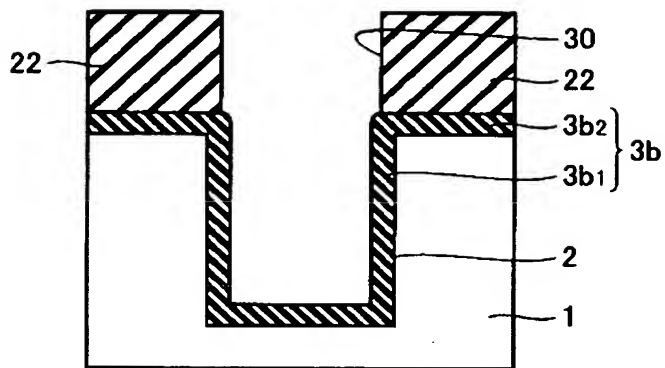
【図 10】



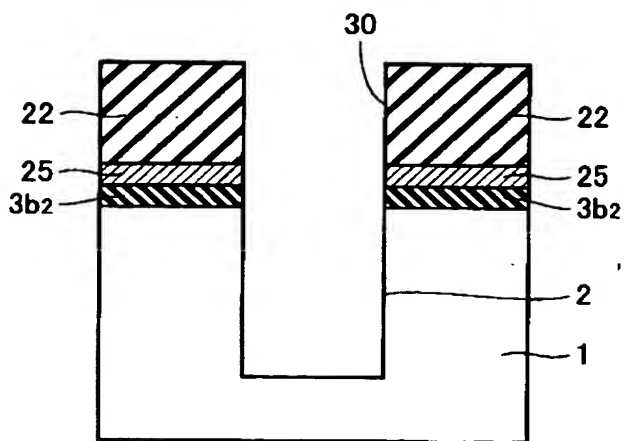
【図 1 1】



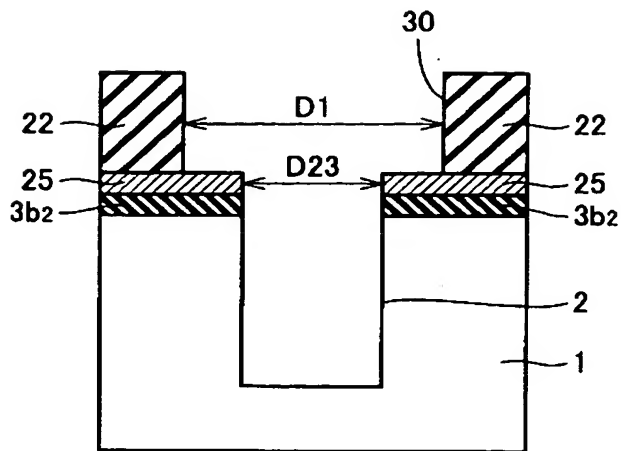
【図 1 2】



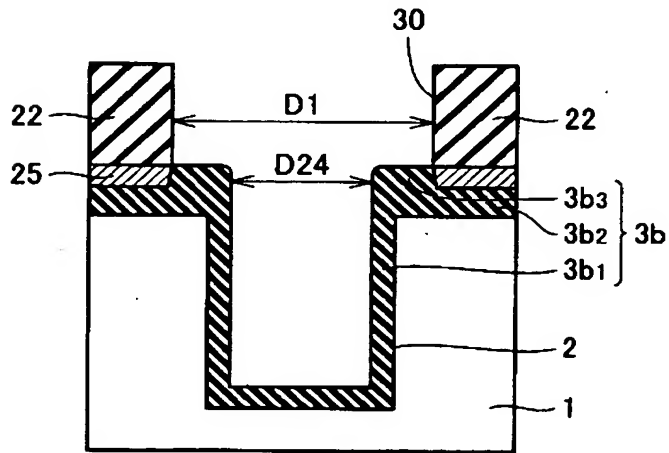
【図 1 3】



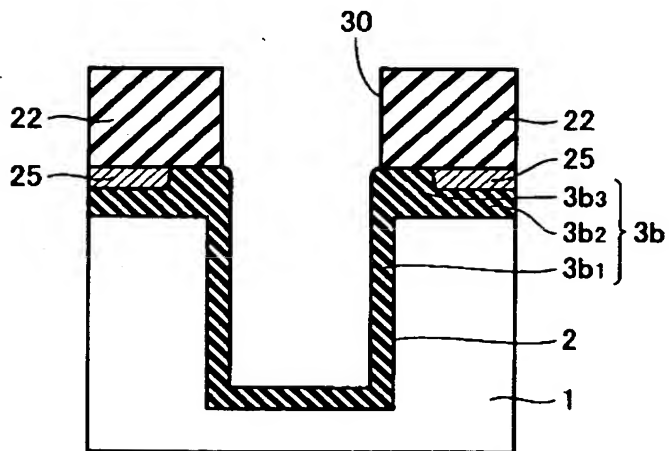
【図 14】



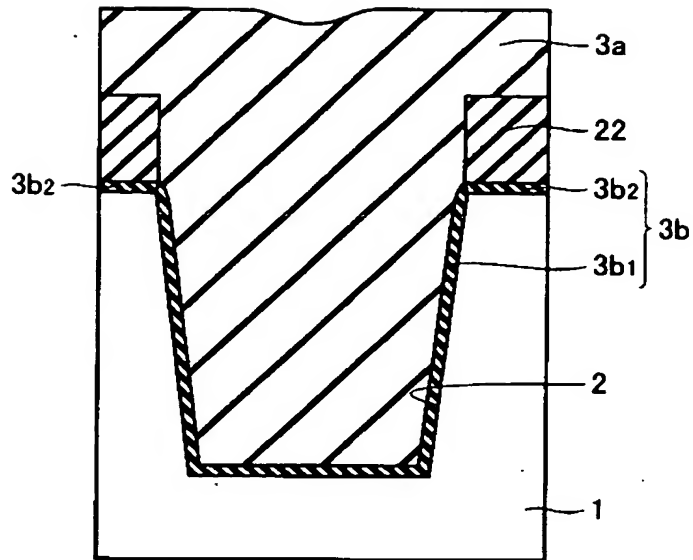
【図 15】



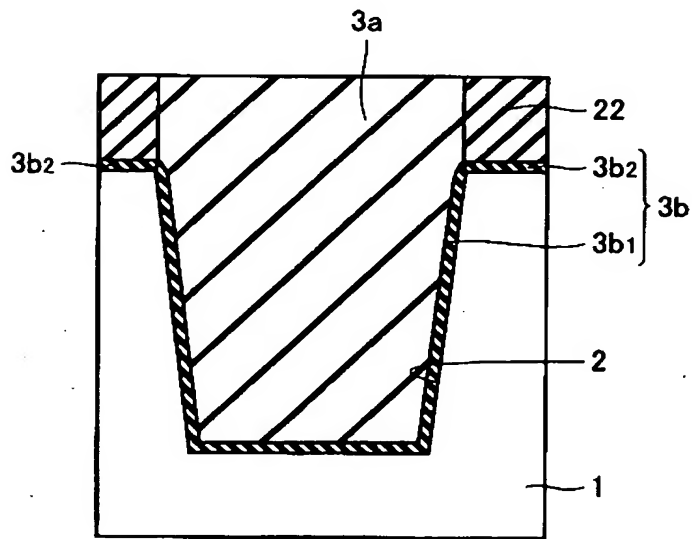
【図 16】



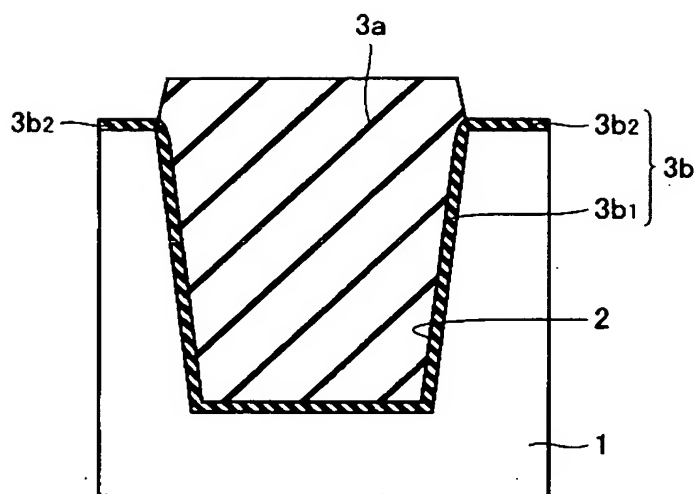
【図 17】



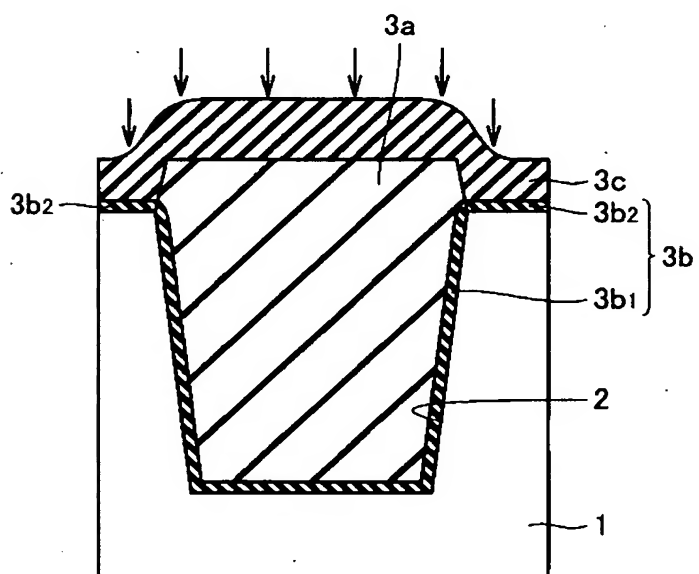
【図 18】



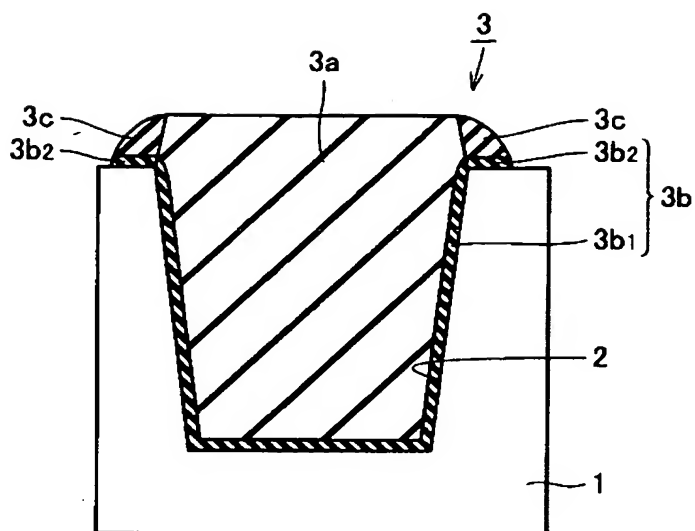
【図 19】



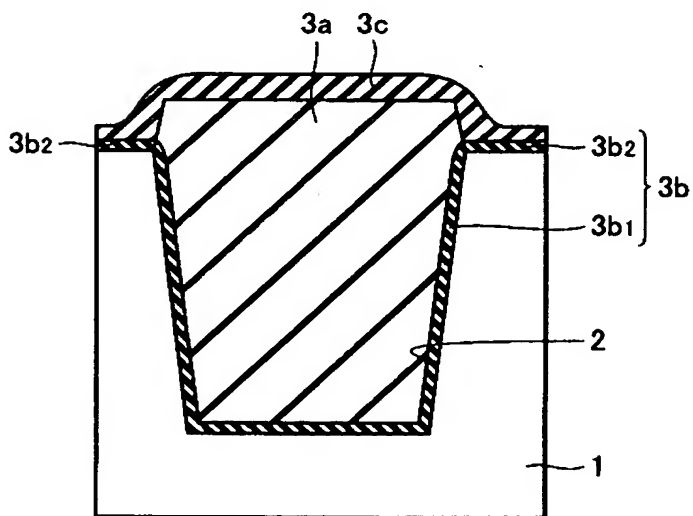
【図 20】



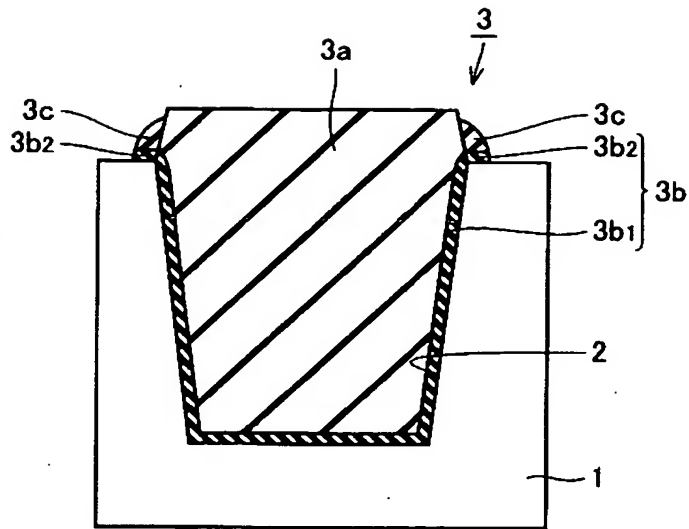
【図 2 1】



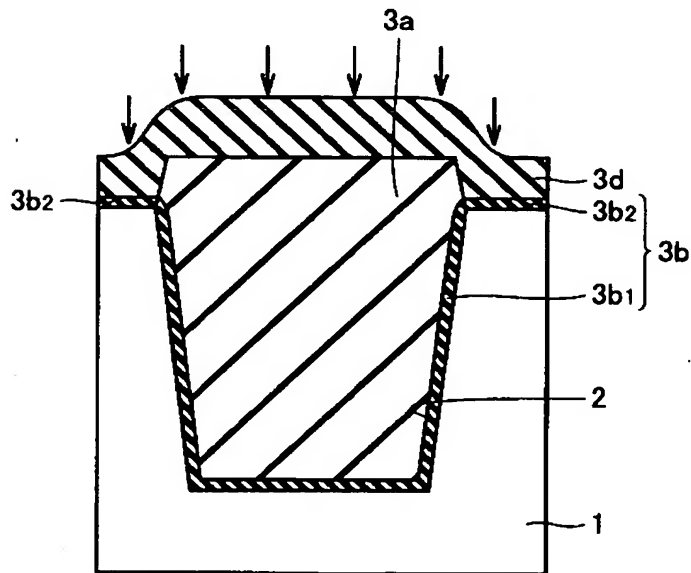
【図 2 2】



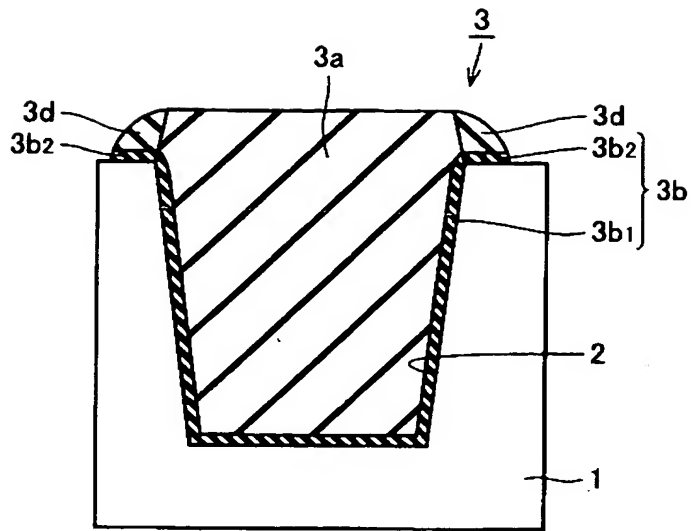
【図 2 3】



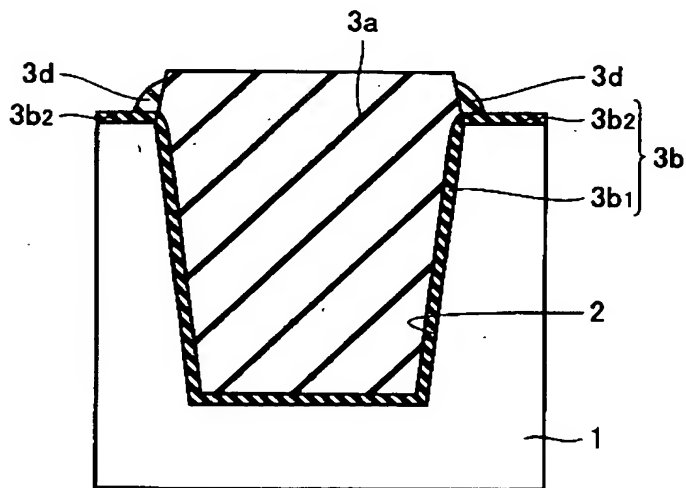
【図 2 4】



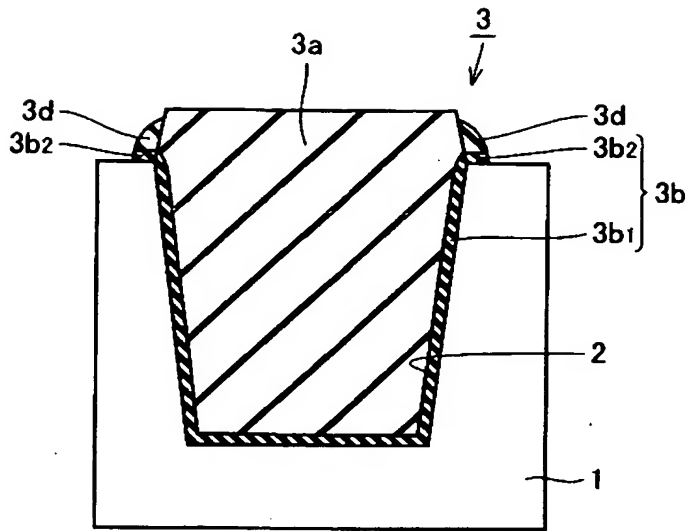
【図 25】



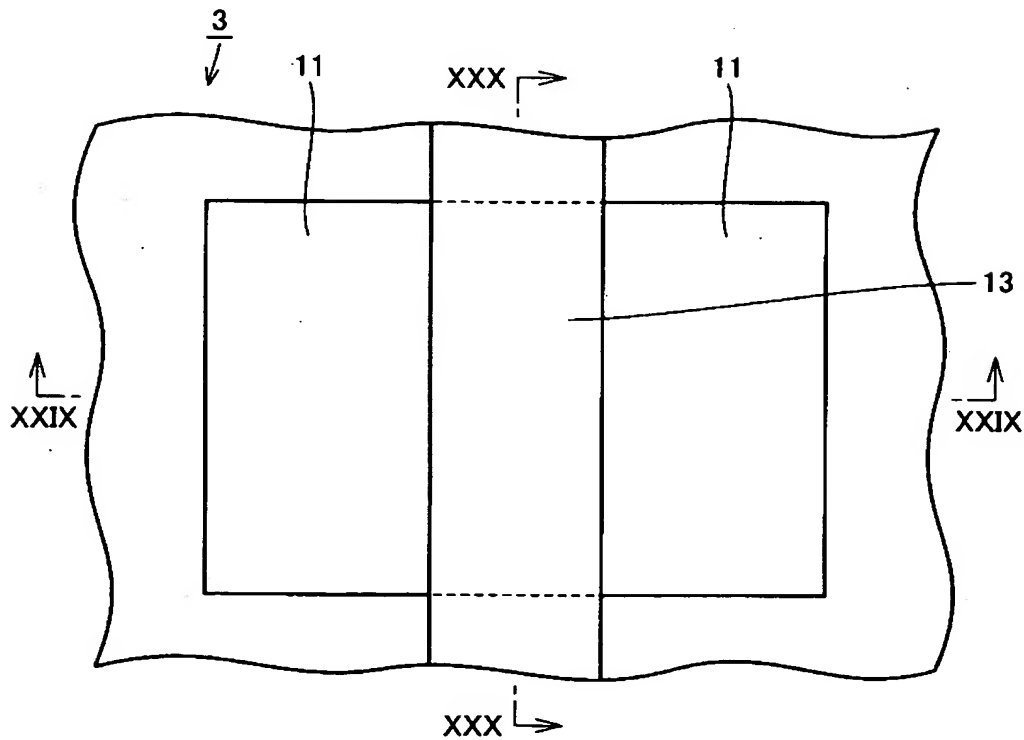
【図 26】



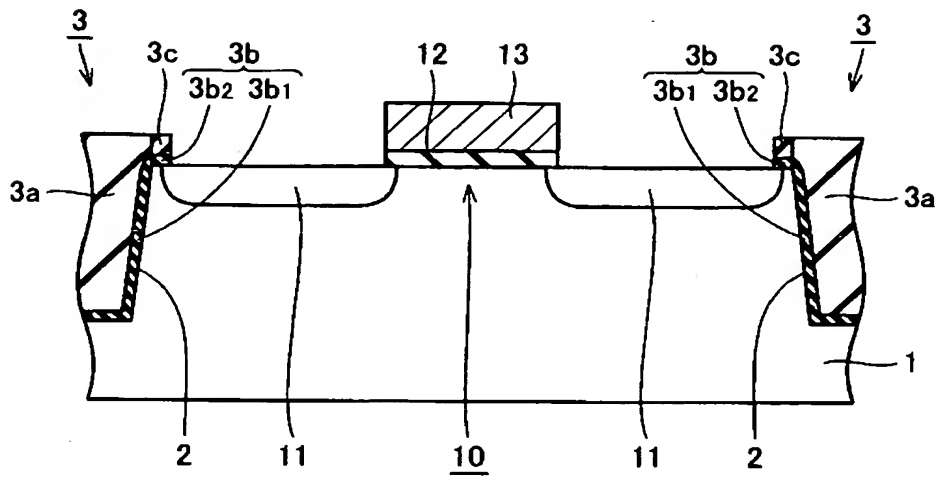
【図 27】



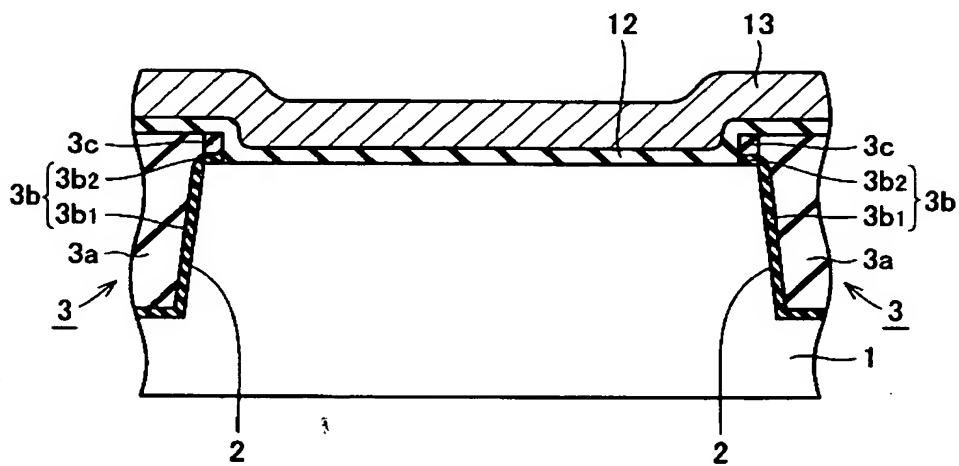
【図 28】



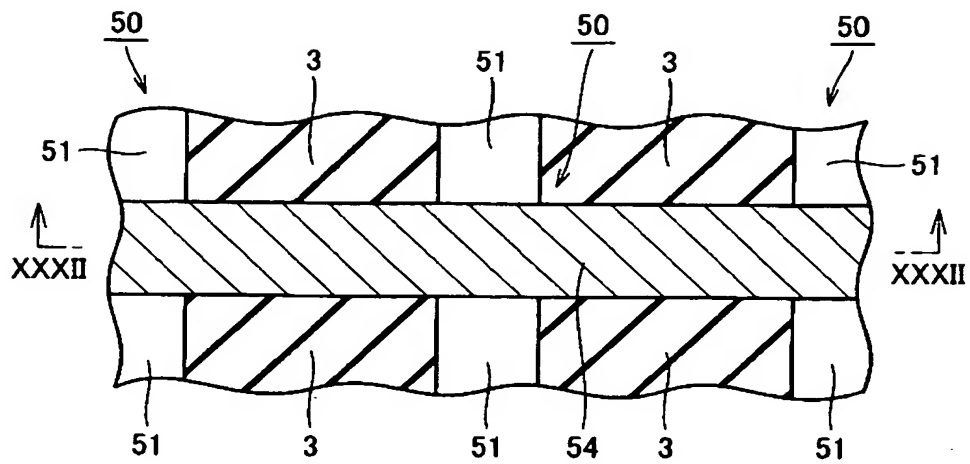
【図 29】



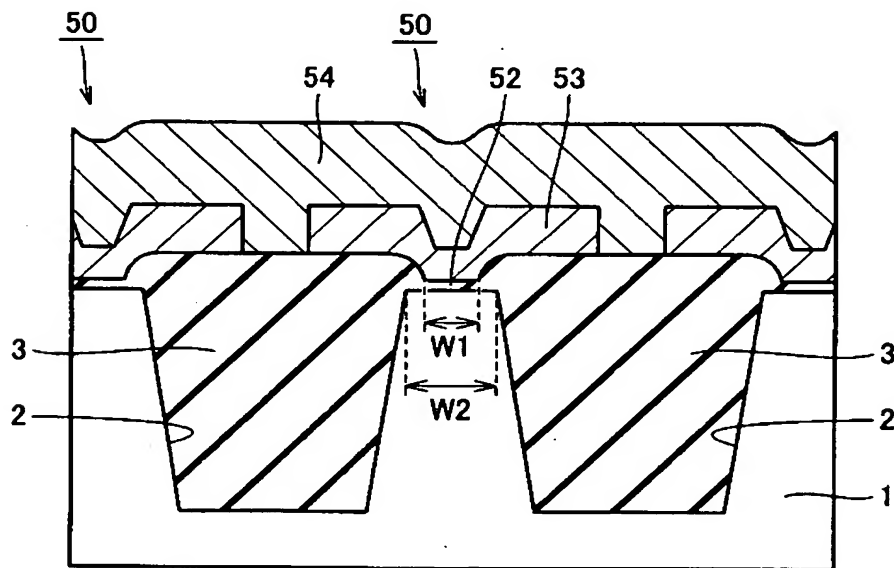
【図 30】



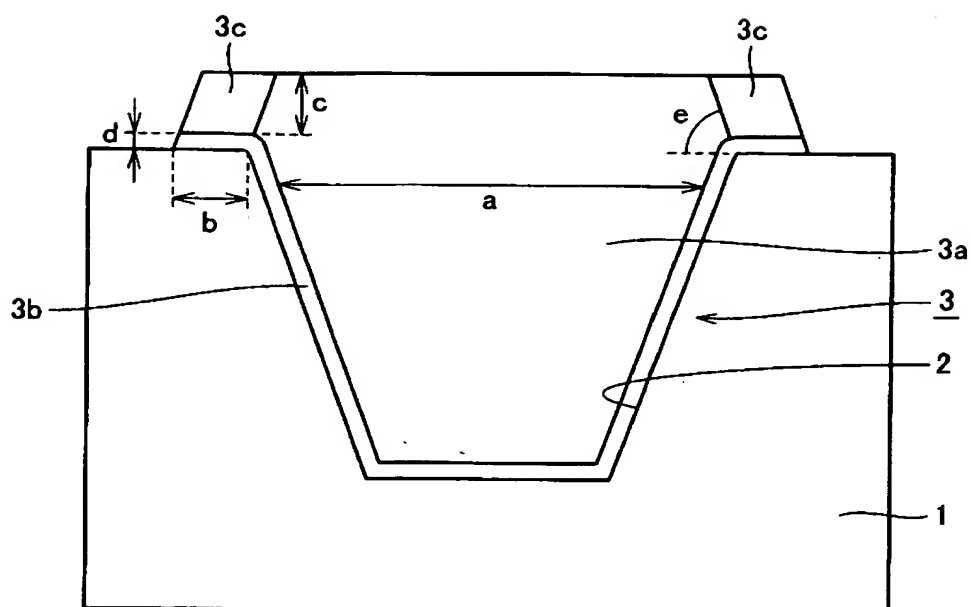
【図 3 1】



【図 3 2】



【図 33】



【書類名】 要約書

【要約】

【課題】 逆狭チャネル効果を抑制でき、かつ信頼性の高いゲート絶縁層を得ることのできるトレンチ分離を有する半導体装置およびその製造方法を提供する。

【解決手段】 本発明のトレンチ分離を有する半導体装置は、半導体基板 1 の表面に形成された溝 2 と、その溝 2 内を埋込み、かつ上面全体が半導体基板 1 の表面より上方に位置する埋込み絶縁層 3 とを有している。埋込み絶縁層 3 の半導体基板 1 の表面から突き出した部分は、半導体基板 1 の主表面上において溝 2 の真上領域よりも外側に張り出した張り出し部を有し、その張り出し部は少なくとも 2 層の絶縁層 3 b₂、3 c が積層された構成を有している。

【選択図】 図 1

特願 2 0 0 3 - 1 6 2 6 0 2

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ